KIẾN TRÚC MÁY TÍNH
Khoa Khoa Học và Kỹ Thuật Máy Tính
Đại học Bách Khoa – Tp.HCM
08-2022

Bài tập/Thực hành 3

CHƯƠNG 2 KIẾN TRÚC TẬP LỆNH MIPS: CÁC LỆNH ĐIỀU KIỂN

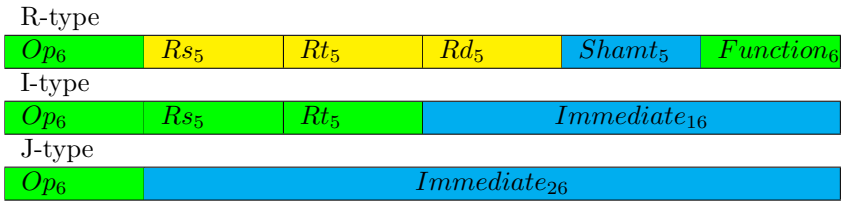
Mục tiêu

- Chuyển từ ngôn ngữ cấp cao (C) sang hợp ngữ MIPS.
- Sử dụng lệnh điều khiển (nhảy, rẽ nhánh) để điều kiển luồng chương trình.

Yêu cầu

- Xem cách dùng các lệnh (set, branch, jump, load, store) trong slide và trong file tham khảo [trang 4].
- Nộp các file code hợp ngữ đặt tên theo format «lab3.asm » (ví dụ **lab3_1a.asm, lab3_1b.asm**) và chứa trong folder **lab3_MSSV**.

Kiểu lệnh



- Op (opcode) Mã lệnh, dùng để xác định lệnh thực thi (đối với kiểu R, Op = 0).
- Rs, Rt, Rd (register): Trường xác định thanh ghi (5-bit). vd: Rs = 4 có nghĩa là Rs đang dùng thanh ghi a0 hay thanh ghi 4.
- Shamt (shift amount): Xác định số bits dịch trong các lệnh dịch bit.
- Function: Xác định toán tử (operator hay còn gọi là lệnh) trong kiểu lệnh R.
- Immediate: Đại diện cho con số trực tiếp, địa chỉ, offset.

Tập lệnh [tham khảo nhanh]

Cú pháp	Ảnh hưởng	Mô tả
slt Rd, Rs, Rt	Rd = (Rs < Rt) ? 1 : 0	[Có dấu]Rd = 1 khi Rs < Rt, ngược lại Rd = 0
sltu Rd, Rs, Rt	Rd = (Rs < Rt) ? 1 : 0	[Không dấu] Rd = 1 khi Rs < Rt, ngược lại Rd = 0
Lệnh nhảy, rẽ nhánh		
beq Rs, Rt, label	if (Rs == Rt) PC ← label	Rẽ nhánh đến label nếu Rs == Rt
bne Rs, Rt, label	if (Rs != Rt) PC ← label	Rẽ nhánh đến label nếu Rs != Rt
bltz Rs, label	if (Rs < 0) PC ← label	Rẽ nhánh đến label nếu Rs < 0
blez Rs, label	if (Rs <= 0) PC ← label	Rẽ nhánh đến label nếu Rs <= 0
bgtz Rs, label	if (Rs > 0) PC ← label	Rẽ nhánh đến label nếu Rs > 0
bgez Rs, label	if (Rs >= 0) PC ← label	Rẽ nhánh đến label nếu Rs >= 0
j label	PC ← label	Nhảy không điều kiện đến label
Gọi hàm		
jr Rs	PC ← Rs	Trở về vị trí thanh ghi Rs trỏ đến
jal label	$ra ← PC+4, PC ← label	Gọi hàm label, khi đó $ra nắm vị trí lệnh tiếp theo
jalr Rs	$ra ← PC+4, PC ← Rs	Gọi hàm Rs đang trỏ đến, khi đó $ra nắm vị trí lệnh tiếp theo

Bài tập và Thực hành

Lập trình có cấu trúc.
Sinh viên chuyển các cấu trúc sau của ngôn ngữ C qua ngôn ngữ assembly. Tham khảo hình ảnh về các cấu trúc ở cuối bài thực hành.

Bài 1: Phát biểu IF-ELSE (1)

```
if( a % 2 == 0) { Print string: "Computer Science and Engineering, HCMUT"}
else            { Print string: "Computer Architecture 2022"}
```

Bài 2: Phát biểu IF-ELSE (2)

```
if( a < -3 or a >= 7 ) { a = b * c;}
else                   { a = b + c;}
```

Bài 3: Phát biểu SWITCH-CASE
Hiện thực phát biểu switch-case bên dưới bằng hợp ngữ. Cho biết b = 100, c = 2. Giá trị input nhập từ người dùng. **Xuất ra giá trị của a ra màn hình (console)**.

```
switch (input)
{
   case 1: a = b + c; break;
   case 2: a = b - c; break;
   case 3: a = b x c; break;
   case 4: a = b / c; break;
   default: NOP; // No-Operation; a = 0
      break;
}
```

Bài 4: Vòng lặp FOR - xác định chuỗi Fibonacci bằng vòng lặp. Nhập vào n (nguyên dương), xuất ra số Fibonacci Fn.

```
if      (n < 0)  {return "invalid input"}
else if (n == 0) {return 0;}
else if (n == 1) {return 1;}
else{
   f0= 0; f1 = 1;
   for ( i = 2; i <= n; i++){
      fn = fn-1 + fn-2;
   }
}
return fn;
```

Note: sinh viên có thể là theo cách riêng để tìm ra số Fibonacci Fn.
Dãy số Fibonacci http://en.wikipedia.org/wiki/Fibonacci_number

F_0	F_1	F_2	F_3	F_4	F_5	F_6	F_7	F_8	F_9
0	1	1	2	3	5	8	13	21	34
F_{10}	F_{11}	F_{12}	F_{13}	F_{14}	F_{15}	F_{16}	F_{17}	F_{18}	F_{19}
55	89	144	233	377	610	987	1597	2584	4181

Bài 5: Vòng lặp WHILE

Xác định vị trí chữ 'r' đầu tiên trong chuỗi "Computer Architecture CSE-HCMUT".

```
i = 0;
while( charArray[i] != 'r' && charArray[i] != '\0'){
  i++;
}
```

Xuất ra giá trị index của ký tự 'r'. Nếu không tìm thấy thì xuất ra -1.

Làm thêm

1. ENDIANESS.
   Cho mảng số nguyên bên dưới.

```
.data
intArray: .word 0xCA002019, 0xC0002009
.text
  la  $a0, intArray
  lb  $t0, 0($a0)
  lb  $t1, 1($a0)
  lb  $t2, 2($a0)
  lb  $t3, 3($a0)
  lbu $t4, 0($a0)
  lbu $t5, 1($a0)
  lbu $t6, 2($a0)
  lbu $t7, 3($a0)
```

   (a) Giả sử MIPS được thiết kế theo kiểu BIG ENDIAN, xác định giá trị các ô nhớ (theo byte) của mảng trên.

   (b) Giả sử MIPS được thiết kế theo kiểu LITTLE ENDIAN, xác định giá trị các ô nhớ (theo byte) của mảng trên.

   (c) Xác định giá trị các thanh ghi $t của đoạn code bên dưới, giả sử MIPS được thiết kế theo kiểu BIG ENDIAN.

   (d) Xác định giá trị các thanh ghi $t của đoạn code bên dưới, giả sử MIPS được thiết kế theo kiểu LITTLE ENDIAN.

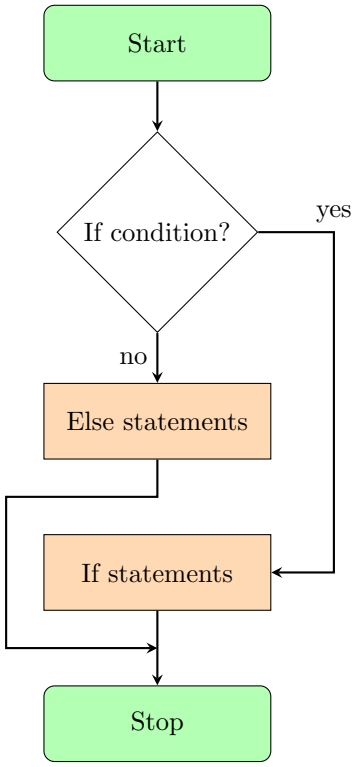
2. Memory alignment.
   Cho đoạn code mips bên dưới

```
.data
int_1:  .word 0xCA002018
char_1: .byte 0xFF
int_2:  .word 2018
char_2: .byte 0xCA 0xFE 0xED
.text
  la  $a0, int_1
  lw  $t0, 0($a0)
  lw  $t1, 1($a0)
  lh  $t2, 2($a0)
  lh  $t3, 3($a0)
  lb  $t4, 0($a0)
  lb  $t5, 1($a0)
```

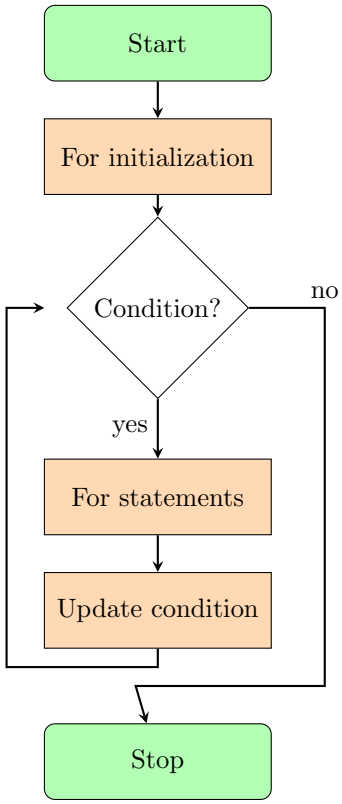
(a) Xác định nội dung của vùng nhớ dữ liệu và xác định các lệnh sẽ gây ra lỗi khi thực thi, giải thích. Biết MIPS chuẩn được thiết kế theo kiểu BIG ENDIAN.

(b) Xếp lại dữ liệu sao cho bộ nhớ tối ưu hơn (trong kiến trúc 32 bit).

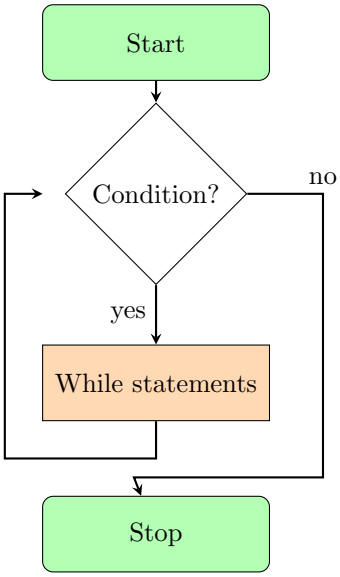
Sơ đồ cấu trúc của phát biểu (if-else, for, while, do-while)



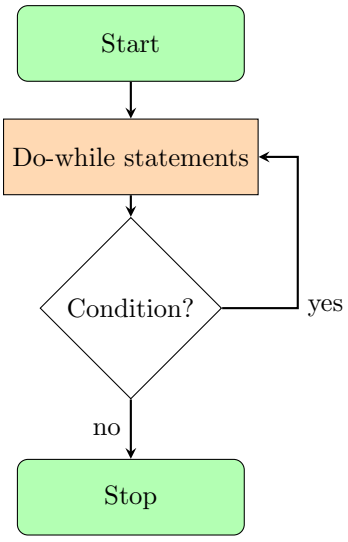
Hình. 1: If-else statement



Hình. 2: For statements



Hình. 3: While statement



Hình. 4: Do-while statement

MIPS32® Instruction Set Quick Reference

R_D	—	Destination register
R_S, R_T	—	Source operand registers
R_A	—	Return address register (R31)
PC	—	Program counter
Acc	—	64-bit accumulator
Lo, Hi	—	Accumulator low ($Acc_{31:0}$) and high ($Acc_{63:32}$) parts
±	—	Signed operand or sign extension
∅	—	Unsigned operand or zero extension
::	—	Concatenation of bit fields
R2	—	MIPS32 Release 2 instruction
DOTTED	—	Assembler pseudo-instruction

Please refer to *"MIPS32 Architecture For Programmers Volume II: The MIPS32 Instruction Set"* for complete instruction set information.

Arithmetic Operations			
ADD	R_D, R_S, R_T	$R_D = R_S + R_T$	(overflow trap)
ADDI	R_D, R_S, const16	$R_D = R_S + const16^{\pm}$	(overflow trap)
ADDIU	R_D, R_S, const16	$R_D = R_S + const16^{\pm}$	
ADDU	R_D, R_S, R_T	$R_D = R_S + R_T$	
CLO	R_D, R_S	R_D = CountLeadingOnes(R_S)	
CLZ	R_D, R_S	R_D = CountLeadingZeros(R_S)	
LA	R_D, label	R_D = Address(label)	
LI	R_D, imm32	R_D = imm32	
LUI	R_D, const16	R_D = const16 << 16	
MOVE	R_D, R_S	$R_D = R_S$	
NEGU	R_D, R_S	$R_D = -R_S$	
SEB[R2]	R_D, R_S	$R_D = R_{S7:0}^{\pm}$	
SEH[R2]	R_D, R_S	$R_D = R_{S15:0}^{\pm}$	
SUB	R_D, R_S, R_T	$R_D = R_S - R_T$	(overflow trap)
SUBU	R_D, R_S, R_T	$R_D = R_S - R_T$	

Shift and Rotate Operations		
ROTR[R2]	R_D, R_S, bits5	$R_D = R_{SBITS5-1:0} :: R_{S31:BITS5}$
ROTRV[R2]	R_D, R_S, R_T	$R_D = R_{SRT4:0-1:0} :: R_{S31:RT4:0}$
SLL	R_D, R_S, shift5	$R_D = R_S$ << shift5
SLLV	R_D, R_S, R_T	$R_D = R_S << R_{T4:0}$
SRA	R_D, R_S, shift5	$R_D = R_S^{\pm} >>$ shift5
SRAV	R_D, R_S, R_T	$R_D = R_S^{\pm} >> R_{T4:0}$
SRL	R_D, R_S, shift5	$R_D = R_S^{\varnothing} >>$ shift5
SRLV	R_D, R_S, R_T	$R_D = R_S^{\varnothing} >> R_{T4:0}$

Logical and Bit-Field Operations		
AND	R_D, R_S, R_T	$R_D = R_S$ & R_T
ANDI	R_D, R_S, const16	$R_D = R_S$ & $const16^{\varnothing}$
EXT[R2]	R_D, R_S, P, S	$R_S = R_{SP+S-1:P}^{\varnothing}$
INS[R2]	R_D, R_S, P, S	$R_{DP+S-1:P} = R_{S_{S-1:0}}$
NOP		No-op
NOR	R_D, R_S, R_T	$R_D = \sim(R_S \mid R_T)$
NOT	R_D, R_S	$R_D = \sim R_S$
OR	R_D, R_S, R_T	$R_D = R_S \mid R_T$
ORI	R_D, R_S, const16	$R_D = R_S \mid const16^{\varnothing}$
WSBH[R2]	R_D, R_S	$R_D = R_{S23:16} :: R_{S31:24} :: R_{S7:0} :: R_{S15:8}$
XOR	R_D, R_S, R_T	$R_D = R_S \oplus R_T$
XORI	R_D, R_S, const16	$R_D = R_S \oplus const16^{\varnothing}$

Condition Testing and Conditional Move Operations		
MOVN	R_D, R_S, R_T	if $R_T \neq 0$, $R_D = R_S$
MOVZ	R_D, R_S, R_T	if $R_T = 0$, $R_D = R_S$
SLT	R_D, R_S, R_T	$R_D = (R_S^{\pm} < R_T^{\pm})$? 1 : 0
SLTI	R_D, R_S, const16	$R_D = (R_S^{\pm} < const16^{\pm})$? 1 : 0
SLTIU	R_D, R_S, const16	$R_D = (R_S^{\varnothing} < const16^{\varnothing})$? 1 : 0
SLTU	R_D, R_S, R_T	$R_D = (R_S^{\varnothing} < R_T^{\varnothing})$? 1 : 0

Multiply and Divide Operations		
DIV	R_S, R_T	$Lo = R_S^{\pm} / R_T^{\pm}$; $Hi = R_S^{\pm}$ mod $R_T^{\pm}$
DIVU	R_S, R_T	$Lo = R_S^{\varnothing} / R_T^{\varnothing}$; $Hi = R_S^{\varnothing}$ mod $R_T^{\varnothing}$
MADD	R_S, R_T	$Acc \mathrel{+}= R_S^{\pm} \times R_T^{\pm}$
MADDU	R_S, R_T	$Acc \mathrel{+}= R_S^{\varnothing} \times R_T^{\varnothing}$
MSUB	R_S, R_T	$Acc \mathrel{-}= R_S^{\pm} \times R_T^{\pm}$
MSUBU	R_S, R_T	$Acc \mathrel{-}= R_S^{\varnothing} \times R_T^{\varnothing}$
MUL	R_D, R_S, R_T	$R_D = R_S^{\pm} \times R_T^{\pm}$
MULT	R_S, R_T	$Acc = R_S^{\pm} \times R_T^{\pm}$
MULTU	R_S, R_T	$Acc = R_S^{\varnothing} \times R_T^{\varnothing}$

Accumulator Access Operations		
MFHI	R_D	$R_D = Hi$
MFLO	R_D	$R_D = Lo$
MTHI	R_S	$Hi = R_S$
MTLO	R_S	$Lo = R_S$

Jumps And Branches (Note: One Delay Slot)		
B	off18	PC += $off18^{\pm}$
BAL	off18	R_A = PC + 8, PC += $off18^{\pm}$
BEQ	R_S, R_T, off18	if $R_S = R_T$, PC += $off18^{\pm}$
BEQZ	R_S, off18	if $R_S = 0$, PC += $off18^{\pm}$
BGEZ	R_S, off18	if $R_S \geq 0$, PC += $off18^{\pm}$
BGEZAL	R_S, off18	R_A = PC + 8; if $R_S \geq 0$, PC += $off18^{\pm}$
BGTZ	R_S, off18	if $R_S > 0$, PC += $off18^{\pm}$
BLEZ	R_S, off18	if $R_S \leq 0$, PC += $off18^{\pm}$
BLTZ	R_S, off18	if $R_S < 0$, PC += $off18^{\pm}$
BLTZAL	R_S, off18	R_A = PC + 8; if $R_S < 0$, PC += $off18^{\pm}$
BNE	R_S, R_T, off18	if $R_S \neq R_T$, PC += $off18^{\pm}$
BNEZ	R_S, off18	if $R_S \neq 0$, PC += $off18^{\pm}$
J	addr28	PC = $PC_{31:28}$ :: $addr28^{\varnothing}$
JAL	addr28	R_A = PC + 8; PC = $PC_{31:28}$ :: $addr28^{\varnothing}$
JALR	R_D, R_S	R_D = PC + 8; PC = R_S
JR	R_S	PC = R_S

Load and Store Operations		
LB	R_D, off16(R_S)	R_D = $mem8(R_S + off16^{\pm})^{\pm}$
LBU	R_D, off16(R_S)	R_D = $mem8(R_S + off16^{\pm})^{\varnothing}$
LH	R_D, off16(R_S)	R_D = $mem16(R_S + off16^{\pm})^{\pm}$
LHU	R_D, off16(R_S)	R_D = $mem16(R_S + off16^{\pm})^{\varnothing}$
LW	R_D, off16(R_S)	R_D = $mem32(R_S + off16^{\pm})$
LWL	R_D, off16(R_S)	R_D = LoadWordLeft(R_S + $off16^{\pm}$)
LWR	R_D, off16(R_S)	R_D = LoadWordRight(R_S + $off16^{\pm}$)
SB	R_S, off16(R_T)	$mem8(R_T + off16^{\pm}) = R_{S7:0}$
SH	R_S, off16(R_T)	$mem16(R_T + off16^{\pm}) = R_{S15:0}$
SW	R_S, off16(R_T)	$mem32(R_T + off16^{\pm}) = R_S$
SWL	R_S, off16(R_T)	StoreWordLeft(R_T + $off16^{\pm}$, R_S)
SWR	R_S, off16(R_T)	StoreWordRight(R_T + $off16^{\pm}$, R_S)
ULW	R_D, off16(R_S)	R_D = unaligned_$mem32(R_S + off16^{\pm})$
USW	R_S, off16(R_T)	unaligned_$mem32(R_T + off16^{\pm}) = R_S$

Atomic Read-Modify-Write Operations		
LL	R_D, off16(R_S)	R_D = $mem32(R_S + off16^{\pm})$; link
SC	R_D, off16(R_S)	if Atomic, $mem32(R_S + off16^{\pm}) = R_D$; R_D = Atomic ? 1 : 0

Registers

0	zero	Always equal to zero
1	at	Assembler temporary; used by the assembler
2-3	v0-v1	Return value from a function call
4-7	a0-a3	First four parameters for a function call
8-15	t0-t7	Temporary variables; need not be preserved
16-23	s0-s7	Function variables; must be preserved
24-25	t8-t9	Two more temporary variables
26-27	k0-k1	Kernel use registers; may change unexpectedly
28	gp	Global pointer
29	sp	Stack pointer
30	fp/s8	Stack frame pointer or subroutine variable
31	ra	Return address of the last subroutine call

Default C Calling Convention (O32)

Stack Management

- The stack grows down.
  - Subtract from $sp to allocate local storage space.
  - Restore $sp by adding the same amount at function exit.
- The stack must be 8-byte aligned.
  - Modify $sp only in multiples of eight.

Function Parameters

- Every parameter smaller than 32 bits is promoted to 32 bits.
- First four parameters are passed in registers $a0–$a3.
  - 64-bit parameters are passed in register pairs:
    - Little-endian mode: $a1:$a0 or $a3:$a2.
    - Big-endian mode: $a0:$a1 or $a2:$a3.
- Every subsequent parameter is passed through the stack.
  - First 16 bytes on the stack are not used.
  - Assuming $sp was not modified at function entry:
    - The 1st stack parameter is located at 16($sp).
    - The 2nd stack parameter is located at 20($sp), etc.
  - 64-bit parameters are 8-byte aligned.

Return Values

- 32-bit and smaller values are returned in register $v0.
- 64-bit values are returned in registers $v0 and $v1:
  - Little-endian mode: $v1:$v0.
  - Big-endian mode: $v0:$v1.

MIPS32 Virtual Address Space

kseg3	0xE000.0000	0xFFFF.FFFF	Mapped	Cached
ksseg	0xC000.0000	0xDFFF.FFFF	Mapped	Cached
kseg1	0xA000.0000	0xBFFF.FFFF	Unmapped	Uncached
kseg0	0x8000.0000	0x9FFF.FFFF	Unmapped	Cached
useg	0x0000.0000	0x7FFF.FFFF	Mapped	Cached

Reading The Cycle Count Register From C

```
unsigned mips_cycle_counter_read()
{
    unsigned cc;
    asm volatile("mfc0 %0, $9" : "=r" (cc));
    return (cc << 1);
}
```

Assembly-Language Function Example

```
# int asm_max(int a, int b)
# {
#   int r = (a < b) ? b : a;
#   return r;
# }

    .text
    .set     nomacro
    .set     noreorder

    .global  asm_max
    .ent     asm_max

asm_max:
    move     $v0, $a0         # r = a
    slt      $t0, $a0, $a1    # a < b ?
    jr       $ra              # return
    movn     $v0, $a1, $t0    # if yes, r = b

    .end     asm_max
```

C / Assembly-Language Function Interface

```
#include <stdio.h>

int asm_max(int a, int b);

int main()
{
    int x = asm_max(10, 100);
    int y = asm_max(200, 20);
    printf("%d %d\n", x, y);
}
```

Invoking MULT And MADD Instructions From C

```
int dp(int a[], int b[], int n)
{
    int i;
    long long acc = (long long) a[0] * b[0];
    for (i = 1; i < n; i++)
        acc += (long long) a[i] * b[i];
    return (acc >> 31);
}
```

Atomic Read-Modify-Write Example

```
atomic_inc:
    ll       $t0, 0($a0)      # load linked
    addiu    $t1, $t0, 1      # increment
    sc       $t1, 0($a0)      # store cond'l
    beqz     $t1, atomic_inc  # loop if failed
    nop
```

Accessing Unaligned Data

note: ULW and USW automatically generate appropriate code

Little-Endian Mode		Big-Endian Mode	
LWR	RD, OFF16(RS)	LWL	RD, OFF16(RS)
LWL	RD, OFF16+3(RS)	LWR	RD, OFF16+3(RS)
SWR	RD, OFF16(RS)	SWL	RD, OFF16(RS)
SWL	RD, OFF16+3(RS)	SWR	RD, OFF16+3(RS)

Accessing Unaligned Data From C

```
typedef struct
{
    int u;
} __attribute__((packed)) unaligned;


int unaligned_load(void *ptr)
{
    unaligned *uptr = (unaligned *)ptr;
    return uptr->u;
}
```

MIPS SDE-GCC Compiler Defines

__mips	MIPS ISA (= 32 for MIPS32)
__mips_isa_rev	MIPS ISA Revision (= 2 for MIPS32 R2)
__mips_dsp	DSP ASE extensions enabled
_MIPSEB	Big-endian target CPU
_MIPSEL	Little-endian target CPU
_MIPS_ARCH_*CPU*	Target CPU specified by -march=*CPU*
_MIPS_TUNE_*CPU*	Pipeline tuning selected by -mtune=*CPU*

Notes

- Many assembler pseudo-instructions and some rarely used machine instructions are omitted.
- The C calling convention is simplified. Additional rules apply when passing complex data structures as function parameters.
- The examples illustrate syntax used by GCC compilers.
- Most MIPS processors increment the cycle counter every other cycle. Please check your processor documentation.